

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05095367 A

(43) Date of publication of application: 16 . 04 . 93

(51) Int. Cl

H04L 12/48

G06F 13/362

H04L 5/22

H04L 12/40

(21) Application number: 03282114

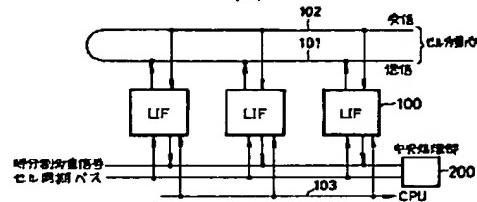
(71) Applicant: NEC CORP NEC ENG LTD

(22) Date of filing: 02 . 10 . 91

(72) Inventor: NAITO KATSUMI
TANIGUCHI SEIICHI

(54) CELL MULTIPLE BUS COMMUNICATION
CONTROL SYSTEM

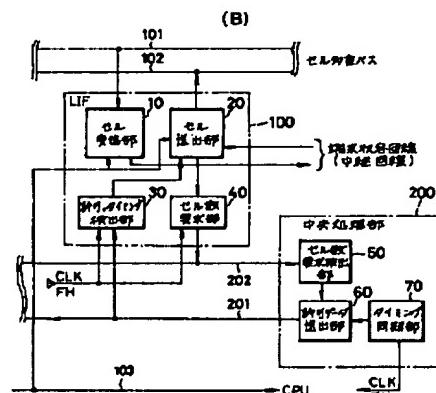
COPYRIGHT: (C)1993,JPO&Japio
(A)



(57) Abstract:

PURPOSE: To control a bus transmission and reception by a cell unit fairly and without delay in a cell multiple bus communication control system.

CONSTITUTION: Each LIF(Line interface circuit) 100 multiplexes a cell transmission right request from a self line to a line 202 by a preliminarily fixed timing from a number of cell request part 40 to a central processing part 200 and outputs the request. The central processing part 200 receiving this cell transmission right request arbitrates a transmission permission from the number of cell and a priority in a number of cell request detection part 50, and the transmission permission is multiplexed from a permission data transmission part 60 to a line 201 and transmits the permission. When each LIF 100 detects the transmission permission to self circuit in a permission/timing detection part 30, it performs a transmission instruction to a bus 101 of the cell for a cell transmission part 20.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-95367

(43)公開日 平成5年(1993)4月16日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 12/48				
G 06 F 13/362	510 A	8725-5B		
H 04 L 5/22		8843-5K		
		8529-5K	H 04 L 11/20	Z
		7341-5K	11/00	321

審査請求 未請求 請求項の数1(全8頁) 最終頁に続く

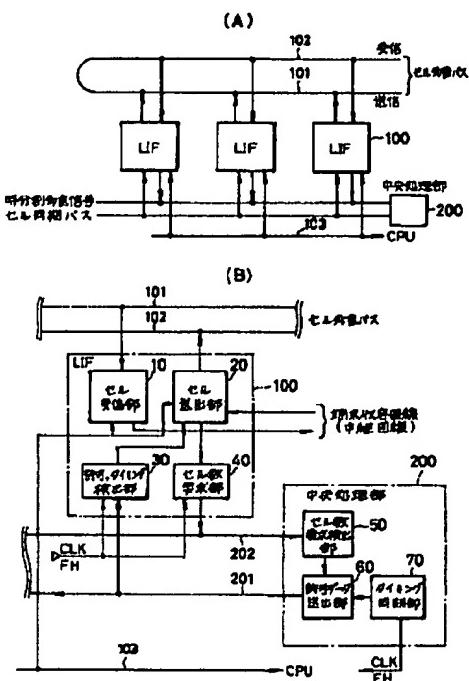
(21)出願番号	特願平3-282114	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)10月2日	(71)出願人	000232047 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号
(22)発明者		(72)発明者	内藤 克巳 東京都港区芝五丁目7番1号 日本電気株式会社内
(22)発明者		(72)発明者	谷口 誠一 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内
		(74)代理人	弁理士 ▲柳▼川 信

(54)【発明の名称】 セル多層バス通信制御システム

(57)【要約】

【目的】 セル多層バス通信制御システムにおいて、セル単位のバス送受信を公平に、かつ遅延なく制御する。

【構成】 各LIF100は自己の回線からのセル送信権要求を、セル数要求部40から中央処理部200へ予め定められたタイミングで線202に多重化して出力する。このセル送信権要求を受けた中央処理部200はセル数要求検出部50で、セル数とプライオリティから送信許可を調停し、送信許可を許可データ送出部60から線201へ多重化して送出する。各LIF100は許可・タイミング検出部30で、自己への送信許可を検出すると、セル送出部20に対してセルのバス101への送信指示を行う。



【特許請求の範囲】

【請求項 1】 所定データ容量を交換単位セルとして伝送するセル多重バスと、個別アドレスが夫々割当てられ、端末収容回線を夫々終端し前記セル多重バスと前記回線との間のインタフェース機能をなす複数のラインインターフェースと、これ等ラインインターフェースに共通接続され、これ等ラインインターフェースから生成され前記セル多重バスに対する前記回線からのセルの送信権要求を伝送する送信権要求バスと、この送信権要求に応答して送信許可を生成する中央処理部と、前記送信許可を前記ラインインターフェースへ伝送する送信許可バスとを含むセル多重バス通信制御システムであつて、前記ラインインターフェースの各々に設けられ、前記セル多重バスへ送出すべきセルの数及びその優先度情報を前記送信権要求として前記送信権要求バスへ送出する手段と、前記中央処理部に設けられ、前記送信権要求内の優先度情報及びセル数に応じて送信許可を調停する手段と、前記中央処理部に設けられ、この調停結果に基いて送信許可アドレスを含む送信許可を前記送信許可バスに送出する手段と、前記ラインインターフェースの各々に設けられ、前記送信許可を受けて前記送信許可アドレスが自アドレスと一致したとき前記セル多重バスへ前記回線からのセルを送信する手段と、前記ラインインターフェースの各々に設けられ、前記セル多重バスからのセルを受信して自アドレスと一致したセルを取り込む手段とを含むことを特徴とするセル多重バス通信制御システム。

【発明の詳細な説明】

【0001】

【技術分野】 本発明はセル多重バス通信制御システムに関し、特に端末収容回線や中継回線を終端するラインインターフェースとセル多重バスとの間の通信制御をなすセル多重バス通信制御方式に関する。

【0002】

【従来技術】 従来のセル多重バス通信制御方式は図4～図6に示す様な方式がある。図4はチャネル設定方式であり、複数のラインインターフェース回路(LIF)が接続される時分割バスは、タイムスロットと呼ばれる単位に分割されており、時分割バスへのデータ送信と受信とは、中央のCPUにより制御されるもので、どのタイムスロットはどのラインインターフェース回路が使用するかを決定するようになっている。

【0003】 図5は時分割バス集中アビタ制御方式であり、ラインインターフェース回路間は共通バスで接続され、データ交換はフレーム及びパケット単位で行われる。

【0004】 図6はDQDB方式(Distributed Queue Dual Bus)方式であり、各バスは夫々数十オクテット単位のセル多重バスである。このバスへのデータ送信は、SG(スロットジェネレータ)から送出される、空セルと称されるデータが入っていないセルを受信したラインイン

タフェース回路がデータ送信を行うことができるようになっている。

【0005】 しかし、SGに近い程空セルの獲得確率は高くなるので、不公平をなくすためにラインインターフェース回路間でセル獲得の調停を行っている。

【0006】 上述した従来のチャネル設定方式におけるバス通信制御方式は、通信時に予めソフトウェア介在によるチャネル設定やチャネル集中管理が必要という欠点がある。また時分割バス集中アビタ制御方式においては、セル単位の交換ができず、データ長が長いフレーム及びパケット送出中は他の回路は待ち状態となる欠点がある。

【0007】 DQDB方式におけるバス通信制御方式は、セル単位の交換が可能であるが空セル獲得競合が各ラインインターフェース回路で分散制御されており、その制御もセル多重バスを用いて行われるので、ハードウェア量も多く、トラヒックが過渡的に増大した場合完全に不公平をなくすことができないという欠点がある。

【0008】 20 【発明の目的】 本発明の目的は、セル単位の通信を公平にかつ遅延なく行うことができるセル多重バス通信制御システムを提供することである。

【0009】

【発明の構成】 本発明によれば、所定データ容量を交換単位セルとして伝送するセル多重バスと、個別アドレスが夫々割当てられ、端末収容回線を夫々終端し前記セル多重バスと前記回線との間のインタフェース機能をなす複数のラインインターフェースと、これ等ラインインターフェースに共通接続され、これ等ラインインターフェースから生成され前記セル多重バスに対する前記回線からのセルの送信権要求を伝送する送信権要求バスと、この送信権要求に応答して送信許可を生成する中央処理部と、前記送信許可を前記ラインインターフェースへ伝送する送信許可バスとを含むセル多重バス通信制御システムであつて、前記ラインインターフェースの各々に設けられ、前記セル多重バスへ送出すべきセルの数及びその優先度情報を前記送信権要求として前記送信権要求バスへ送出する手段と、前記中央処理部に設けられ、前記送信権要求内の優先度情報及びセル数に応じて送信許可を調停する手段と、前記中央処理部に設けられ、この調停結果に基いて送信許可アドレスを含む送信許可を前記送信許可バスに送出する手段と、前記ラインインターフェースの各々に設けられ、前記送信許可を受けて前記送信許可アドレスが自アドレスと一致したとき前記セル多重バスへ前記回線からのセルを送信する手段と、前記ラインインターフェースの各々に設けられ、前記セル多重バスからのセルを受信して自アドレスと一致したセルを取り込む手段とを含むことを特徴とするセル多重バス通信制御システムが得られる。

50 【0010】

【実施例】以下、本発明の実施例につき図面を用いて説明する。

【0011】図1は本発明の実施例のシステムブロック図であり、(A)はその概略図、(B)はその詳細図を夫々示している。

【0012】本例におけるセル多重バスの型式は、送信側バス101の一端と受信側バス102の一端とが接続されている型式のものである。

【0013】複数のラインインタフェース回路100の各々は物理アドレスが個々に割当てられており、それに接続される端末回線、中継回線を終端し、これ等回線とセル多重バス101、102との間のインターフェース機能をなすものである。

【0014】これ等ラインインタフェース回路100からの送信権要求を処理して送信許可を与えるべく中央処理部200が設けられている。当該送信権要求は送信権要求バス202に送出され、当該送信許可是送信許可バス201に送出される。

【0015】ラインインタフェース回路100の各々は、回線からのセルをセル多重バスへ送出するセル送出部20と、セル多重バスからのセルを受信するセル受信部10と、セルをバスへ送出することを要求する送信権要求を生成するセル数要求部40と、中央処理部からの送信許可を検出して送信すべきセルをセル多重バスへ送出制御する許可タイミング検出部30とを有している。

【0016】中央処理部200は、各ラインインタフェース回路100からの送信権要求を受けて予め定められた優先処理方式に従って送信権調停を行うセル数要求検出部50と、送信許可を与える許可データ送出部60と、各種動作タイミングを決定するタイミング同期部70とを含む。

【0017】図2は図1の更に詳細を示したブロック図であり、図1と同等部分は同一符号により示しており、図3はその動作を示すタイミングチャートである。

【0018】ラインインタフェース回路100に接続される端末回線及び中継回線からデータが到着した場合、セル送出部20内のセル分解部22で図3のaで示す所定フォーマット化された単位セルに分解される。そのセルのヘッダ部分には、信号線103を介してCPU(図示せず)により判定された通信する相手先のアドレスとフレームチェックシーケンスピットとが夫々セル毎に附加される。

【0019】この分解と同時に、セル数要求部40内のカウンタ部41に対して線105を介してセル数獲得要求を出し、同時に線106を介してセル数と要求優先度(プライオリティ)をセル数レジスタ43に送出する。

【0020】カウンタ部41では、物理アドレスを基に、中央処理部200内のタイミング同期部70が送出するクロック(CLK)とフレームパルス信号(FH)で送出タイミングを作成する。

【0021】要求送出部42では、線107を介してセル数とプライオリティとをフォーマット化して、カウンタ部41が送出する線108のタイミングで送信権要求バス202にセル数要求を送出する(図3の202の送信権要求バスのチャート参照)。

【0022】図3の送信権要求バス202に示すように、ラインインタフェース回路100のセル数獲得要求は多重化され、中央処理部200の要求検出部52に送られる。要求検出部52はセル数獲得要求を受信したデータをシリアル・パラレル変換し調停部51に送出する。

【0023】調停部51では、プライオリティとセル数を基に、例えば回転優先制御方式を用いて、複数のセル獲得要求から1つを選択し、許可を与えるべき物理アドレスを線204を介して許可送出部60内フォーマット部61に、タイミング同期部70内セルタイミング部72が線203を介して送出するタイミングに同期し連続に許可を送出する。そして調停部51は、許可を与えた要求のセル数のカウントダウンを開始する。

【0024】図3に示す様に、Aへの許可を送出中、Bから高プライオリティ要求があった場合、Bへの許可を優先させ、その許可終了後再びAへの許可を送出する制御を行う。

【0025】フォーマット部61では、図3に示すように、フラグ、アドレス、フラグの順に所定フォーマット化し、線203より受信するタイミングを基に許可送出部62を介して送信許可信号バス201に送出する。この送信許可信号バス201のフォーマット間隔はセル多重バス101及び102と同様になっている。

【0026】そして、ラインインタフェース回路100内の許可、タイミング検出部30の許可検出部32は、許可受信部33を介して中央処理部200からの物理アドレスを受信し、一致、不一致の検出を行っており、一致であれば、タイミング部31を介してセル分解部22に直ちにバス獲得信号を線104介して送出する。バス獲得信号は単位セル分の長さとセル多重バス101の送出タイミングを示している。

【0027】バス獲得信号を受信したセル分解部22はその信号を基にバス送出部21を介してセル多重バス101にセルを送出する。

【0028】セル受信部10内においては、バス受信部11を介してアドレスフィルタ部12で全セルのアドレスを予めCPUにより設定されているアドレスとの一致を検出しておあり、一致であればそのセルを取り込み、直ちにセル組立部13に送出する。またアドレスフィルタ部12のアドレスチェックタイミングは、タイミング部31により線106を介して送出されているタイミングである。

【0029】そして、セル組立部13では、順々に到着するセルを組立てて、端末回線及び中継回線に送出する。以上の一連の制御により、端末回線及び中継回線が

相互に通信を行うことが可能となる。

【0030】

【発明の効果】以上説明したように本発明によれば、セル多重バス通信制御において、複数のラインインターフェース回路のセル多重バス獲得要求がセル数要求とプライオリティ要求により行われることで、ラインインターフェース回路の不公平さがなくなり、またセル単位に要求して許可をもらうという複雑さもなくなる。

【0031】そして、送信許可信号バスにより許可を送出することや、またデータ長の長いセル送出中に、割込んでデータ長の短いセルを間に送出することが可能であり、バスを効率的にかつ遅延を少くすることができる。更に、ソフトウェア的には、アドレス設定のみの処理となり、高速処理が実現できる。

【図面の簡単な説明】

【図1】(A)は本発明の実施例の概略システム図、(B)はその詳細システムブロック図である。

【図2】図1の更に詳細を示すもので、本発明の実施例のブロック図である。

【図3】本発明の実施例の動作を示すタイムチャートである。

【図4】従来のチャネル設定方式の例を示すブロック図である。

【図5】従来の時分割集中アビタ制御方式の例を示す

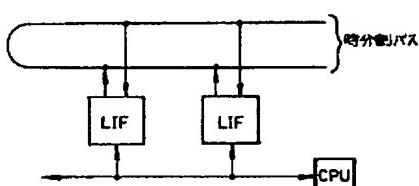
ブロック図である。

【図6】従来のDQDB方式の例を示すブロック図である。

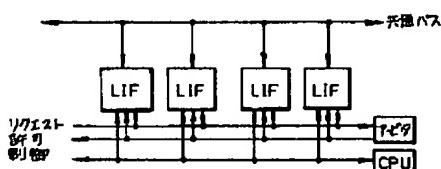
【符号の説明】

- | | |
|----|-------------------|
| 10 | 10 セル受信部 |
| | 11 バス受信部 |
| | 12 アドレスフィルタ部 |
| | 13 セル組立部 |
| 10 | 20 セル送出部 |
| | 21 バス送出部 |
| | 22 セル分解部 |
| | 30 許可タイミング検出部 |
| | 31 タイミング部 |
| | 32 許可検出部 |
| | 33 許可受信部 |
| | 40 セル数要求部 |
| | 41 カウンタ部 |
| | 42 要求送出部 |
| | 43 セル数レジスタ |
| 20 | 100 ラインインターフェース回路 |
| | 101, 102 セル多重バス |
| | 200 中央処理部 |
| | 201 送信許可バス |
| | 202 送信権要求バス |

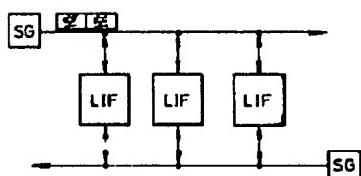
【図4】



【図5】

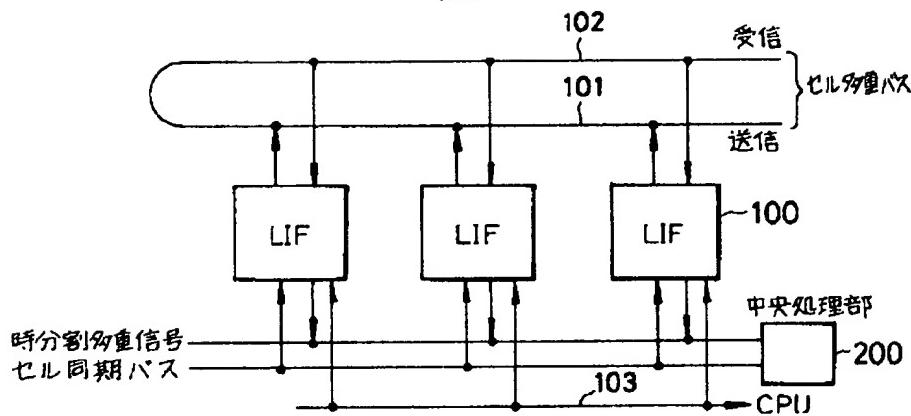


【図6】

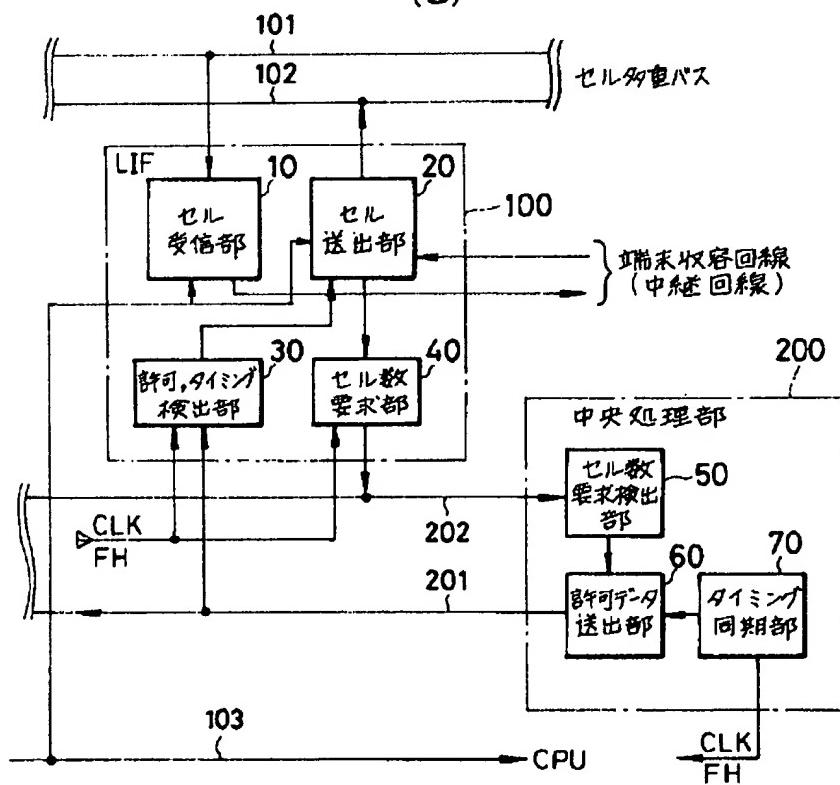


【図1】

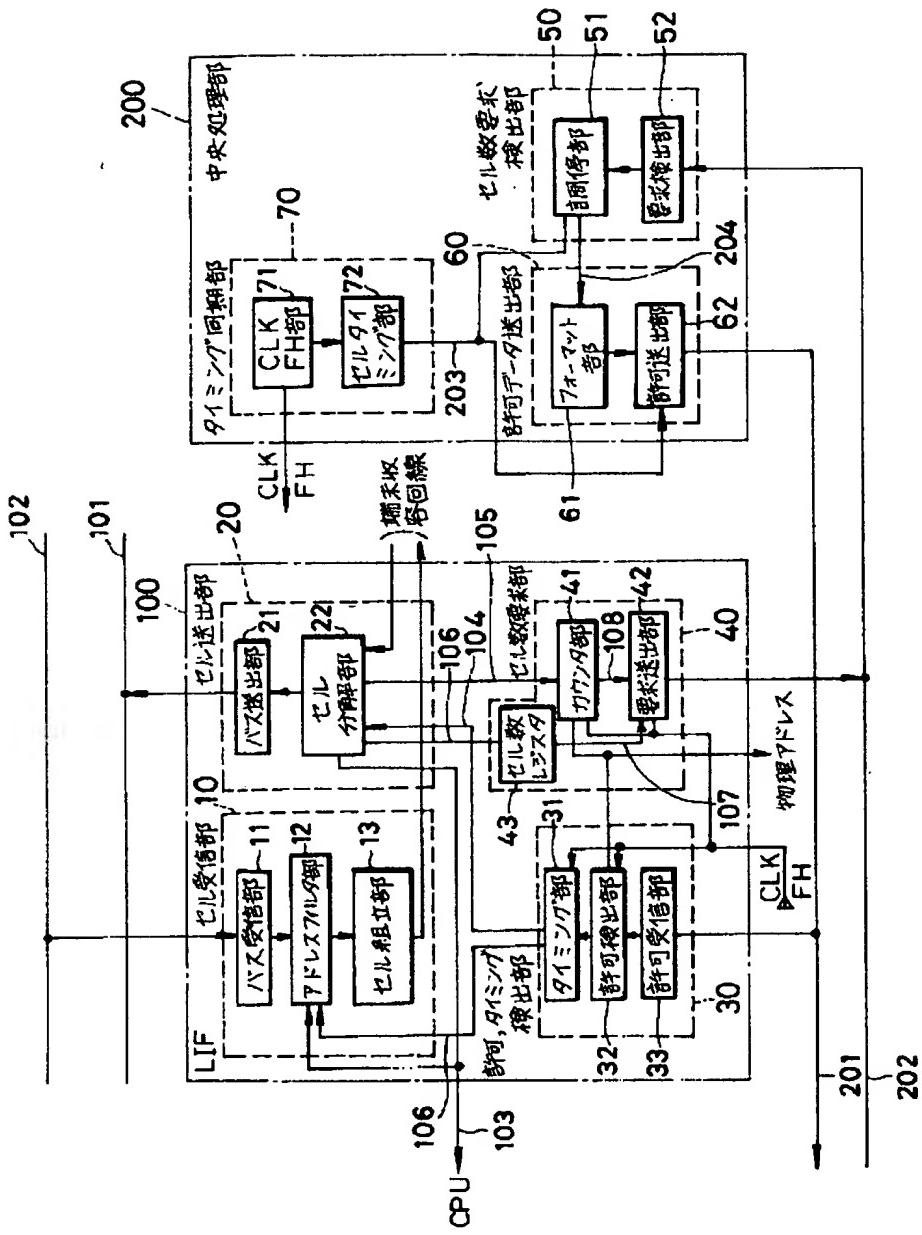
(A)



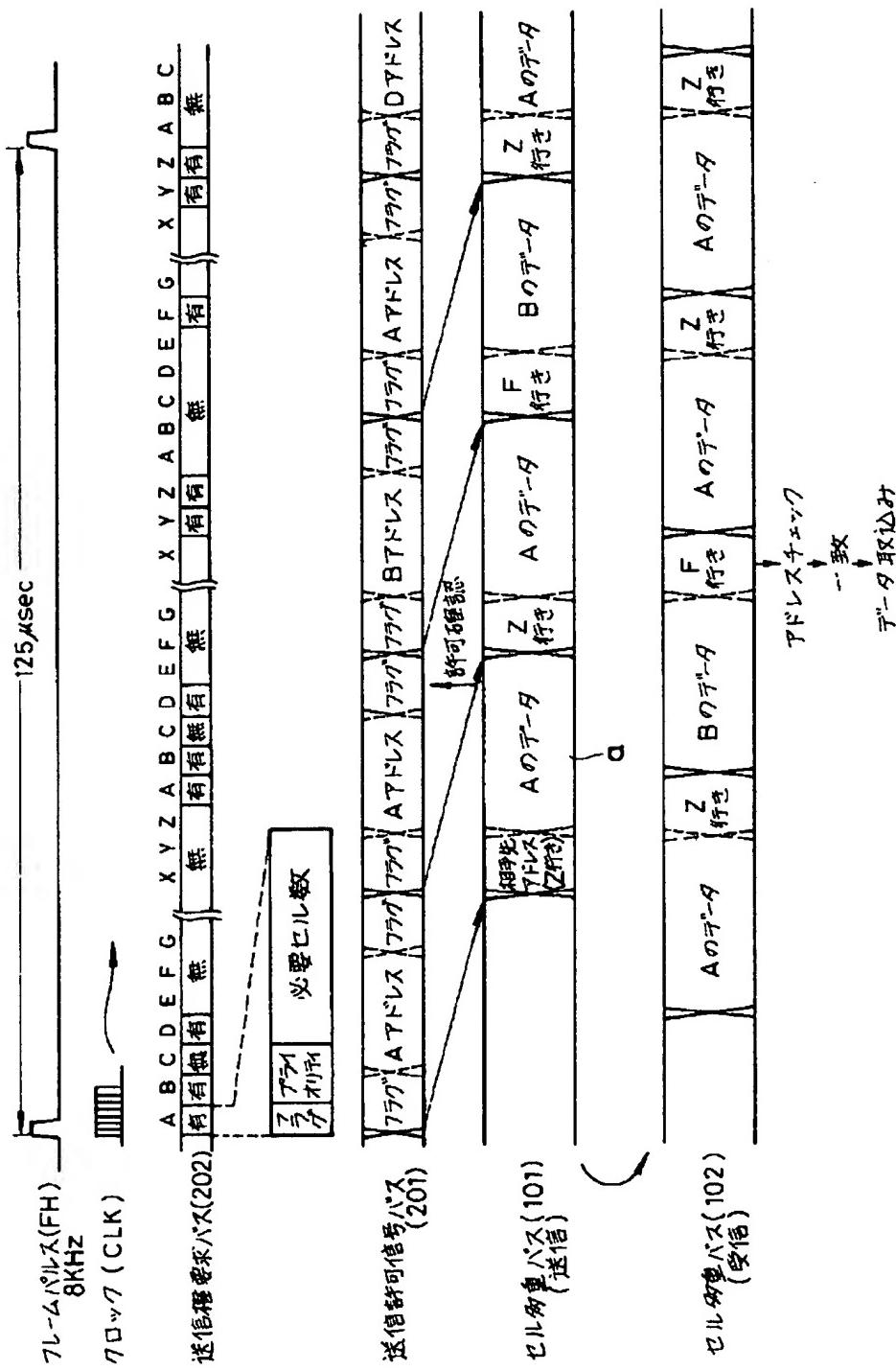
(B)



【图2】



[図3]



フロントページの続き

(51) Int.Cl.[®]
H 04 L 12/40

識別記号 庁内整理番号 F I

技術表示箇所